

공개특허특1997-0003874

(19)대한민국특허청(KR)  
(12) 공개특허공보(A)(51) Int. Cl. 6  
H01L 23/04(11) 공개번호 특1997-0003874  
(43) 공개일자 1997년01월29일

(21) 출원번호 특1995-0018924

(22) 출원일자 1995년06월30일

(71) 출원인 삼성전자 주식회사 김광호  
경기도 수원시 팔달구 매탄동 416번지(72) 발명자 안민철  
경기도 수원시 팔달구 매탄 1동 176번지 주공아파트 42동 306호(74) 대리인 윤동열  
이선희

심사청구 : 있음

(54) 고밀도 실장용 반도체 칩 패키지

## 요약

제1어드레스 스트로브 신호를 전송하는 내부리이드와 제2어드레스 스트로브 신호를 전송하는 내부리이드를 포함하는 리드프레임의 내부리이드들을 사이에 두고 제1반도체 칩과 제2반도체 칩이 비전도성 접착제와 접착테이프에 의해 상·하로 각각 적층되고, 제1반도체 칩의 제1어드레스 스트로브 신호를 위한 본딩패드가 본딩와이어에 의해 제1어드레스 스트로브 신호를 위한 내부리이드의 상부면에 전기적으로 연결되며, 제2반도체 칩의 제2어드레스 스트로브 신호를 위한 본딩패드가 범프에 의해 제2어드레스 스트로브 신호를 위한 내부리이드의 하부면에 전기적으로 연결되는 한편, 제1,2어드레스 스트로브 신호를 위한 내부리이드들을 제외한 내부리이드들을 위한 제1,2반도체 칩 패키지의 본딩패드들이 본딩와이어 및 범프에 의해 그 내부리이드들의 상·하부면에 전기적으로 연결되어 상기 제1반도체 칩과 제2반도체 칩이 서로 독립적으로 제어됨으로써 반도체 칩 패키지의 고밀도 실장이 가능하게 된다.

## 대표도

도2

## 명세서

[발명의 명칭]

고밀도 실장용 반도체 칩 패키지

[도면의 간단한 설명]

제2도는 본 발명의 실시예에 의한 고밀도 실장용 반도체 칩 패키지의 내부구조를 나타낸 단면도, 제3도는 제2도의 고밀도 실장용 반도체 칩 패키지의 내부구조를 나타낸 평면도, 제4도는 본 발명의 다른 실시예에 의한 고밀도 실장용 반도체 칩 패키지의 내부구조를 나타낸 단면도.

본 내용은 요부공개 건이므로 전문내용을 수록하지 않았음

## (57)청구의 범위

청구항1

서로 다른 제1,2어드레스 스트로브 신호를 각각 전송하는 제1,2내부리이드를 포함하는 복수개의 내부리이드들을 갖는 리드프레임과; 상기 복수개의 내부리이드들이 상부면에 설치되고 본딩와이어에 의해 상기 제1내부리이드에 전기적으로 연결되는 제1본딩패드를 갖는 제1반도체 칩과; 상기 복수개의 내부리이드들의 하부면에 설치되고

범프에 의해 상기 제2내부리이드에 전기적으로 연결되는 제2본딩패드를 갖는 제1반도체 칩을 포함하는 고밀도 실장용 반도체 칩 패키지.

#### 청구항2

제1항에 있어서, 상기 제1,2내부리이드에 각각 컬럼 어드레스 스트로브 신호가 전송되는 것을 특징으로 하는 고밀도 실장용 반도체 칩 패키지.

#### 청구항3

제1항에 있어서, 상기 제1반도체 칩과 제2반도체 칩의 동일한 본딩패드들이 상기 제1,2내부리이드를 제외한 내부리이드들에 각각 대응하여 전기적으로 공통연결되는 것을 특징으로 하는 고밀도 실장용 반도체 칩 패키지.

#### 청구항4

제3항에 있어서, 상기 제1반도체 칩과 제2반도체 칩의 동일한 본딩패드들이 상기 제1,2내부리이드를 제외한 내부리이드들에 각각 본딩와이어와 범프에 의해 공통연결되는 것을 특징으로 하는 고밀도 실장용 반도체 칩 패키지.

#### 청구항5

제1항에 있어서, 상기 제1반도체 칩이 비도전성 접착제에 의해 상기 내부리이드들의 상부면에 접착되는 것을 특징으로 하는 고밀도 실장용 반도체 칩 패키지.

#### 청구항6

제1항에 있어서, 상기 제2반도체 칩이 비도전성 접착테이프에 의해 상기 내부리이드들의 하부면에 접착되는 것을 특징으로 하는 고밀도 실장용 반도체 칩 패키지.

#### 청구항7

제1항에 있어서, 상기 범프에 의해 전기적으로 연결되는 상기 제2내부리이드의 영역의 폭이 상기 영역이 외의 영역의 폭보다 작은 것을 특징으로 하는 고밀도 실장용 반도체 칩 패키지.

#### 청구항8

제1항에 있어서, 상기 제1,2반도체 칩들이 설치되는 영역의 내부리이드의 두께가 상기 영역이외의 영역의 두께보다 작은 것을 특징으로 하는 고밀도 실장용 반도체 칩 패키지.

#### 청구항9

제1항에 있어서, 상기 제2반도체 칩의 하부면이 상기 제2반도체 칩을 봉지하는 성형수지의 하부면에서 외부로 노출되는 것을 특징으로 하는 고밀도 실장용 반도체 칩 패키지.

#### 청구항10

제9항에 있어서, 상기 제2반도체 칩의 하부면이 상기 성형수지의 하부면에 대해 평형을 이루는 것을 특징으로 하는 고밀도 실장용 반도체 칩 패키지.

#### 청구항11

서로 다른 제1,2어드레스 스트로브 신호를 각각 전송하는 제1,2내부리이드를 포함하는 복수개의 내부리이드들을 갖는 리드프레임과; 상기 복수개의 내부리이드들의 상부면상에 설치되고 제1범프에 의해 상기 제1내부리이드에 전기적으로 연결되는 제1본딩패드를 갖는 제1반도체 칩과; 상기 복수개의 내부리이드들의 하부면상에 설치되고 제2범프에 의해 상기 제2내부리이드에 전기적으로 연결되는 제2본딩패드를 갖는 제1반도체 칩을 포함하는 고밀도 실장용 반도체 칩 패키지.

#### 청구항12

제11항에 있어서, 상기 제1반도체 칩과 제2반도체 칩의 동일한 본딩패드들이 상기 제1,2내부리이드를 제외한 내부리이드들에 각각 대응하여 전기적으로 공통연결되는 것을 특징으로 하는 고밀도 실장용 반도체 칩 패키지.

#### 청구항13

제11항에 있어서, 상기 제1반도체 칩과 제2반도체 칩의 동일한 본딩패드들이 상기 제1,2내부리이드를 제외한 내부리이드들에 각각 제1,2범프에 의해 공통연결되는 것을 특징으로 하는 고밀도 실장용 반도체 칩 패키지.

#### 청구항14

제11항에 있어서, 상기 제2반도체칩이 비도전성 접착테이프에 의해 상기 내부리이드들의 하부면에 접촉되는 것을 특징으로 하는 고밀도 실장용 반도체 칩 패키지.

#### 청구항15

제11항에 있어서, 상기 제2범프에 의해 전기적으로 연결되는 상기 제2내부리이드의 영역이 폭이 상기 영역이외의 영역의 폭보다 작은 것을 특징으로 하는 고밀도 실장용 반도체 칩 패키지.

#### 청구항16

제11항에 있어서, 상기 제1,2반도체 칩들이 설치되는 영역의 내부리이드의 두께가 상기 영역이외의 영역의 두께보다 작은 것을 특징으로 하는 고밀도 실장용 반도체 칩 패키지.

#### 청구항17

제11항에 있어서, 상기 제1,2반도체 칩들중 적어도 하나의 하부면이 상기 제1,2반도체 칩을 봉지하는 성형수지의 하부면에서 외부로 노출되는 것을 특징으로 하는 고밀도 실장용 반도체 칩 패키지.

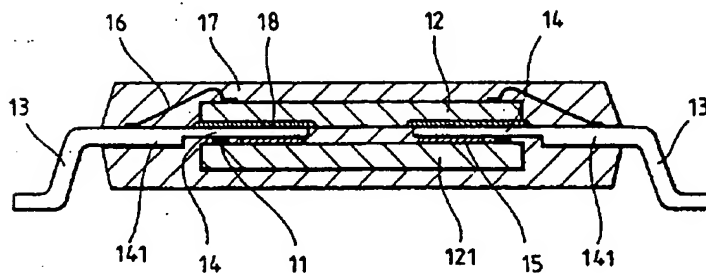
#### 청구항18

제17항에 있어서, 상기 제2반도체 칩의 하부면이 상기 성형수지의 하부면에 대해 평형을 이루는 것을 특징으로 하는 고밀도 실장용 반도체 칩 패키지.

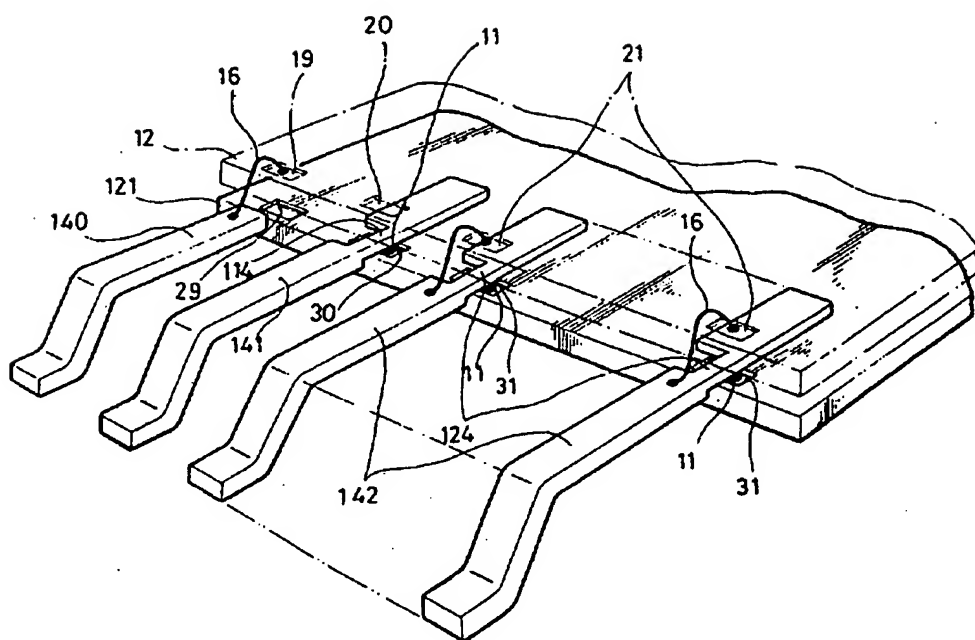
※ 참고사항 : 최초출원 내용에 의하여 공개하는 것임.

도면

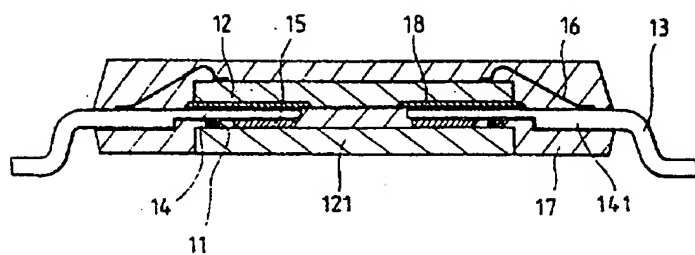
도면2



도면3



도면4



KR1995-0018924

TITLE OF THE INVENTION: SEMICONDUCTOR CHIP PACKAGE FOR HIGH DENSITY MOUNTING

ABSTRACT:

5       A first semiconductor chip and a second semiconductor chip are vertically laminated on each other by means of a non-conductive adhesive and an adhesion tape with internal leads of a lead frame interposed between them. The lead frame includes an internal lead for transmitting a first address strobe signal  
10 and another internal lead for transmitting a second address strobe signal. A bonding pad for the first address strobe signal of the first semiconductor chip is electrically connected to the upper surface of the internal lead for the first address strobe signal by means of a bonding wire. A  
15 bonding pad for the second address strobe signal of the second semiconductor chip is electrically connected to the lower surface of the internal lead for the second address strobe signal by means of a bump. The bonding pads of the first and second semiconductor chip packages for the internal leads other  
20 than the internal leads for the first and second address strobe signals are electrically connected to the upper and lower surfaces of the internal leads by means of a bonding wire and a bump, so that the first and second semiconductor chips are controlled independent of each other and the semiconductor chip  
25 package can be mounted with a high density.